

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-144217

(43)Date of publication of application : 25.05.2001

(51)Int.Cl.

H01L 23/12
H01L 21/56
H01L 21/60

(21)Application number : 11-327021

(71)Applicant : SEIKO EPSON CORP

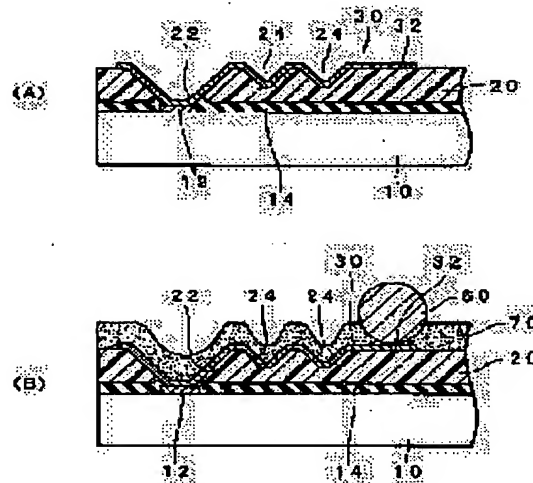
(22)Date of filing : 17.11.1999

(72)Inventor : YODA TAKESHI

(54) SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURE, CIRCUIT BOARD AND ELECTRONIC APPARATUS

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device, and a method of manufacture, in which stress being applied to the joint of an electrode and wiring can be relaxed, a circuit board and an electronic apparatus.
SOLUTION: The semiconductor device comprises an insulation layer 20 provided with a plurality of recesses 24 in the surface thereof, and a wiring layer 30 connected electrically with an electrode 12 and formed on the surface of the insulation layer 20 while passing above the recesses 24, wherein the wiring layer 30 is provided with an external terminal 60 at a position avoiding the part above the recess 24.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-144217

(P2001-144217A)

(43) 公開日 平成13年5月25日 (2001.5.25)

(51) IntCl. ⁷	識別記号	F I	テーマコード* (参考)
H 0 1 L	23/12	H 0 1 L 21/56	E 5 F 0 6 1
	21/56	23/12	L
	21/60	21/92	6 0 2 L
			6 0 4 H

審査請求 未請求 請求項の数31 O L (全 10 頁)

(21) 出願番号 特願平11-327021

(22) 出願日 平成11年11月17日 (1999. 11. 17)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 依田 剛

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

(74) 代理人 100090479

弁理士 井上 一 (外2名)

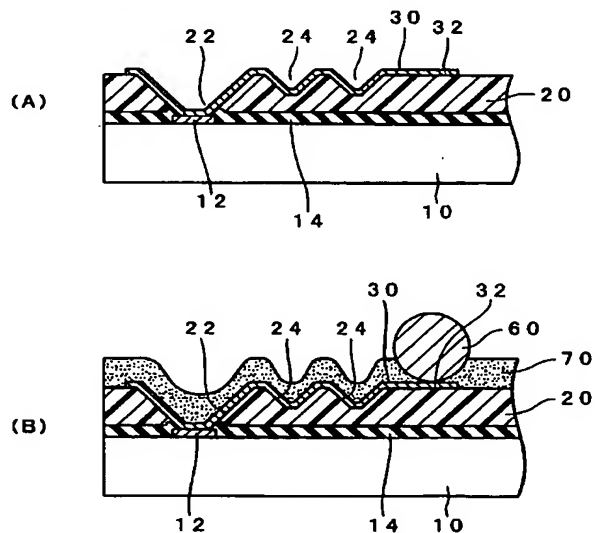
Fターム(参考) 5F061 AA01 BA07 CA10 CB13

(54) 【発明の名称】 半導体装置及びその製造方法、回路基板並びに電子機器

(57) 【要約】

【課題】 電極と配線との接続部に加えられる応力を緩和させることができる半導体装置及びその製造方法、回路基板並びに電子機器を提供することにある。

【解決手段】 半導体装置は、表面に複数の凹部24が形成された絶縁層20と、電極12に電気的に接続されて凹部24上を通して絶縁層20の表面に形成された配線層30と、を含み、配線層30には、凹部24上の部分を避ける位置に外部端子60が設けられている。



【特許請求の範囲】

【請求項 1】 複数の凹部が形成された絶縁層と、電極に電気的に接続され、少なくとも前記複数の凹部上に形成された配線層と、

を含み、前記配線層には、外部との電気的接続のための接続部が形成されてなる半導体装置。

【請求項 2】 請求項 1 記載の半導体装置において、前記接続部は、前記凹部を避けた位置に形成されてなる半導体装置。

【請求項 3】 請求項 1 又は請求項 2 記載の半導体装置において、各接続部に外部端子が設けられてなる半導体装置。

【請求項 4】 請求項 1 から請求項 3 のいずれかに記載の半導体装置において、前記絶縁層は、応力緩和機能を有する半導体装置。

【請求項 5】 請求項 1 から請求項 4 のいずれかに記載の半導体装置において、前記凹部の深さは、前記絶縁層の厚みの約 4/5 以内である半導体装置。

【請求項 6】 請求項 1 から請求項 5 のいずれかに記載の半導体装置において、前記凹部の内側面は、テーパが付されてなる半導体装置。

【請求項 7】 請求項 6 記載の半導体装置において、前記凹部の内側面の傾斜角度は、前記凹部の開口側において、約 45° 以内である半導体装置。

【請求項 8】 請求項 1 から請求項 7 のいずれかに記載の半導体装置において、前記絶縁層は、前記電極が形成された面に設けられてなる半導体装置。

【請求項 9】 請求項 1 から請求項 7 のいずれかに記載の半導体装置において、前記絶縁層は、第 2 の絶縁層上に設けられてなる半導体装置。

【請求項 10】 請求項 9 記載の半導体装置において、前記第 2 の絶縁層は、応力緩和機能を有する半導体装置。

【請求項 11】 請求項 9 又は請求項 10 記載の半導体装置において、前記第 2 の絶縁層上に、第 2 の配線層が形成されてなり、

前記第 2 の配線層は、前記接続部を有する前記配線層と、前記電極とに電気的に接続されてなる半導体装置。

【請求項 12】 請求項 11 記載の半導体装置において、前記第 2 の絶縁層の表面には、複数の第 2 の凹部が形成され、前記第 2 の配線層は、少なくとも前記複数の第 2 の凹部上に形成されてなる半導体装置。

【請求項 13】 請求項 1 から請求項 12 のいずれかに記載の半導体装置において、前記構成が半導体チップに設けられてなる半導体装置。

【請求項 14】 請求項 1 から請求項 12 のいずれかに記載の半導体装置において、前記構成が半導体ウエーハに設けられてなる半導体装置。

【請求項 15】 請求項 1 から請求項 13 のいずれかに記載の半導体装置が実装された回路基板。

10 【請求項 16】 請求項 1 から請求項 13 のいずれかに記載の半導体装置を有する電子機器。

【請求項 17】 複数の凹部が形成された絶縁層を設け、電極に電気的に接続され、外部との電気的接続のための接続部を有する配線層を、少なくとも前記複数の凹部上に形成する半導体装置の製造方法。

【請求項 18】 請求項 17 記載の半導体装置の製造方法において、前記接続部を前記凹部を避けた位置に形成する半導体装置の製造方法。

20 【請求項 19】 請求項 17 又は請求項 18 記載の半導体装置の製造方法において、各接続部に外部端子を設ける工程をさらに含む半導体装置の製造方法。

【請求項 20】 請求項 17 から請求項 19 のいずれかに記載の半導体装置の製造方法において、前記絶縁層を、応力緩和機能を有する材料で形成する半導体装置の製造方法。

30 【請求項 21】 請求項 17 から請求項 20 のいずれかに記載の半導体装置の製造方法において、前記凹部の深さを、前記絶縁層の厚みの約 4/5 以内で形成する半導体装置の製造方法。

【請求項 22】 請求項 17 から請求項 21 のいずれかに記載の半導体装置の製造方法において、前記凹部を、その内側面にテーパを付して形成する半導体装置の製造方法。

40 【請求項 23】 請求項 22 記載の半導体装置の製造方法において、前記凹部の前記内側面を、前記凹部の開口側において、約 45° 以内の傾斜角度で形成する半導体装置の製造方法。

【請求項 24】 請求項 17 から請求項 23 のいずれかに記載の半導体装置の製造方法において、前記絶縁層を、前記電極が形成された面に設ける半導体装置の製造方法。

50 【請求項 25】 請求項 17 から請求項 23 のいずれかに記載の半導体装置の製造方法において、前記電極が形成された面に、第 2 の絶縁層を設け、前記絶縁層を、第 2 の絶縁層上に設ける半導体装置の製造方法。

【請求項 26】 請求項 25 記載の半導体装置の製造方法において、
前記第 2 の絶縁層を、応力緩和機能を有する材料で形成する半導体装置の製造方法。

【請求項 27】 請求項 25 又は請求項 26 記載の半導体装置の製造方法において、
前記第 2 の絶縁層上に、第 2 の配線層を形成する工程をさらに含み、
前記第 2 の配線層を、前記接続部を有する前記配線層と、前記電極とに電気的に接続して形成する半導体装置の製造方法。

【請求項 28】 請求項 27 記載の半導体装置の製造方法において、
前記第 2 の絶縁層の表面に、複数の第 2 の凹部を形成し、
前記第 2 の配線層を、少なくとも前記複数の第 2 の凹部上に形成する半導体装置の製造方法。

【請求項 29】 請求項 17 から請求項 28 のいずれかに記載の半導体装置の製造方法において、
前記電極を有する半導体チップに、前記工程を行う半導体装置の製造方法。

【請求項 30】 請求項 17 から請求項 28 のいずれかに記載の半導体装置の製造方法において、
前記電極を有する半導体ウエーハに、前記工程を行う半導体装置の製造方法。

【請求項 31】 請求項 30 記載の半導体装置の製造方法において、
前記工程の後に、前記半導体ウエーハをダイシングする工程をさらに含む半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置及びその製造方法、回路基板並びに電子機器に関する。

【0002】

【発明の背景】 半導体チップの電極と、ハンダボール等の外部端子とを配線で接続して、外部端子のピッチを変換した半導体装置が知られている。このような半導体装置には、回路基板と半導体チップとの熱膨張係数の差によって生じる応力（熱ストレス）を緩和させるために、応力緩和層を設けることがあった。この構造によれば、外部端子に加えられる応力を緩和させることはできても、電極と配線との接続部に加えられる応力を緩和させることが不十分であった。

【0003】 本発明は、この問題点を解決するものであり、その目的は、電極と配線との接続部に加えられる応力を緩和させることができる半導体装置及びその製造方法、回路基板並びに電子機器を提供することにある。

【0004】

【課題を解決するための手段】 (1) 本発明に係る半導体装置は、複数の凹部が形成された絶縁層と、電極に電

氣的に接続され、少なくとも前記複数の凹部上に形成された配線層と、を含み、前記配線層には、外部との電氣的接続のための接続部が形成されてなる。

【0005】 本発明によれば、絶縁層に複数の凹部が形成されているので、1つの凹部が形成されている場合に比べて、絶縁層が横方向に変形しやすい。配線層が複数の凹部上に形成されているので、外部との電氣的な接続のための接続部に加えられた応力が、複数の凹部にて吸収される。したがって、応力が電極に伝わりにくくなっているため、配線層と電極との接続部に大きな応力が加わらず、両者間の接続信頼性が確保される。

【0006】 (2) この半導体装置において、前記接続部は、前記凹部を避けた位置に形成されていてもよい。

【0007】 (3) この半導体装置において、各接続部に外部端子が設けられていてもよい。

【0008】 (4) この半導体装置において、前記絶縁層は、応力緩和機能を有してもよい。

【0009】 (5) この半導体装置において、前記凹部の深さは、前記絶縁層の厚みの約 4/5 以内であってもよい。

【0010】 (6) この半導体装置において、前記凹部の内側面は、テーパが付されていてもよい。

【0011】 (7) この半導体装置において、前記凹部の内側面の傾斜角度は、前記凹部の開口側において、約 45° 以内であってもよい。

【0012】 (8) この半導体装置において、前記絶縁層は、前記電極が形成された面に設けられていてもよい。

【0013】 (9) この半導体装置において、前記絶縁層は、第 2 の絶縁層上に設けられていてもよい。

【0014】 (10) この半導体装置において、前記第 2 の絶縁層は、応力緩和機能を有してもよい。

【0015】 (11) この半導体装置において、前記第 2 の絶縁層上に、第 2 の配線層が形成されてなり、前記第 2 の配線層は、前記接続部を有する前記配線層と、前記電極とに電気的に接続されていてもよい。

【0016】 (12) この半導体装置において、前記第 2 の絶縁層の表面には、複数の第 2 の凹部が形成され、前記第 2 の配線層は、少なくとも前記複数の第 2 の凹部上に形成されていてもよい。

【0017】 これによれば、第 2 の絶縁層に複数の第 2 の凹部が形成されているので、1つの凹部が形成されている場合に比べて、第 2 の絶縁層が横方向に変形しやすい。第 2 の配線層が複数の第 2 の凹部上に形成されているので、応力が、複数の第 2 の凹部にて吸収される。したがって、応力が電極に伝わりにくくなっているため、第 2 の配線層と電極との接続部に大きな応力が加わらず、両者間の接続信頼性が確保される。

【0018】 (13) この半導体装置において、前記構成が半導体チップに設けられていてもよい。

【0019】(14) この半導体装置において、前記構成が半導体ウエーハに設けられていてもよい。

【0020】(15) 本発明に係る回路基板には、上記半導体装置が実装されてなる。

【0021】(16) 本発明に係る電子機器は、上記半導体装置を有する。

【0022】(17) 本発明に係る半導体装置の製造方法は、複数の凹部が形成された絶縁層を設け、電極に電気的に接続され、外部との電気的接続のための接続部を有する配線層を、少なくとも前記複数の凹部上に形成する。

【0023】本発明によれば、絶縁層に複数の凹部を形成するので、1つの凹部を形成する場合に比べて、横方向に変形しやすい絶縁層を形成できる。そして、配線層を複数の凹部上に形成するので、外部との電気的な接続のための接続部に加えられた応力が、複数の凹部にて吸収される。したがって、応力を電極に伝わりにくくすることができるので、配線層と電極との接続部に大きな応力が加わらず、両者間の接続信頼性が確保される。

【0024】(18) この半導体装置の製造方法において、前記接続部を前記凹部を避けた位置に形成してもよい。

【0025】(19) この半導体装置の製造方法において、各接続部に外部端子を設ける工程をさらに含んでもよい。

【0026】(20) この半導体装置の製造方法において、前記絶縁層を、応力緩和機能を有する材料で形成してもよい。

【0027】(21) この半導体装置の製造方法において、前記凹部の深さを、前記絶縁層の厚みの約4/5以内で形成してもよい。

【0028】(22) この半導体装置の製造方法において、前記凹部を、その内側面にテーパを付して形成してもよい。

【0029】(23) この半導体装置の製造方法において、前記凹部の前記内側面を、前記凹部の開口側において、約45°以内の傾斜角度で形成してもよい。

【0030】(24) この半導体装置の製造方法において、前記絶縁層を、前記電極が形成された面に設けてもよい。

【0031】(25) この半導体装置の製造方法において、前記電極が形成された面に、第2の絶縁層を設け、前記絶縁層を、第2の絶縁層上に設けてもよい。

【0032】(26) この半導体装置の製造方法において、前記第2の絶縁層を、応力緩和機能を有する材料で形成してもよい。

【0033】(27) この半導体装置の製造方法において、前記第2の絶縁層上に、第2の配線層を形成する工程をさらに含み、前記第2の配線層を、前記接続部を有する前記配線層と、前記電極とに電気的に接続して形成

してもよい。

【0034】(28) この半導体装置の製造方法において、前記第2の絶縁層の表面に、複数の第2の凹部を形成し、前記第2の配線層を、少なくとも前記複数の第2の凹部上に形成してもよい。

【0035】これによれば、第2の絶縁層に複数の第2の凹部を形成するので、1つの凹部を形成する場合に比べて、横方向に変形しやすい第2の絶縁層を形成できる。そして、第2の配線層を複数の第2の凹部上に形成するので、応力が、複数の第2の凹部にて吸収される。したがって、応力を電極に伝わりにくくできるので、第2の配線層と電極との接続部に大きな応力が加わらず、両者間の接続信頼性が確保される。

【0036】(29) この半導体装置の製造方法において、前記電極を有する半導体チップに、前記工程を行ってもよい。

【0037】(30) この半導体装置の製造方法において、前記電極を有する半導体ウエーハに、前記工程を行ってもよい。

【0038】(31) この半導体装置の製造方法において、前記工程の後に、前記半導体ウエーハをダイシングする工程をさらに含んでもよい。

【0039】

【発明の実施の形態】以下、本発明の好適な実施の形態について図面を参照して説明するが、本発明は、以下の実施の形態に限定されるものではない。本発明は、半導体装置の一形態であるCSP (Chip Size/Scale Package) に適用することができる。

【0040】(第1の実施の形態) 図1(A)～図4(B)は、本実施の形態に係る半導体装置の製造方法を示す図である。

【0041】図1(A)に示すように、半導体チップ10は、複数の電極(又はパッド)12を有する。電極12は、半導体チップ10の端部に並んでいても、半導体チップ10の中央部に並んでいても良い。また、電極12は、半導体チップの10が矩形をなすときに平行な2辺の端部に沿って並んでいても、4辺の端部に並んでいても良い。各電極12は、半導体チップ10に薄く平らに形成されていることが多いが、側面又は縦断面の形状は限定されず、半導体チップ10の面と面一になってもよい。電極12は例えばアルミニウムなどで形成される。また、電極12の平面形状も特に限定されず、円形であっても矩形であってもよい。電極12の一部を避けて半導体チップ10には、パッシベーション膜14が形成されていることが多いが、これは省略してもよい。パッシベーション膜14は絶縁層である。パッシベーション膜14は、例えば、SiO₂、SiN、ポリイミド樹脂などで形成することができる。パッシベーション膜14は、電極12の端部に載って形成される。

【0042】半導体チップ10における電極12を有す

る面に、絶縁層 20 を設ける。絶縁層 20 は、配線層 30 (図 4 (A) 参照) に対して絶縁性を有する。絶縁層 20 は、ポリイミド樹脂、シリコン変性ポリイミド樹脂、エポキシ樹脂やシリコン変性エポキシ樹脂等で形成することができる。また、絶縁層 20 は、半導体チップ 10 を保護し、実装時のハンダを溶融するときの耐熱性も有することが好ましい。絶縁層 20 は、半導体装置が回路基板に実装されたときに、半導体チップ 10 と、実装される回路基板との熱膨張係数の差によって生じる応力を緩和できる程度にヤング率が低いことが好ましい。そのためには、絶縁層 20 を、例えばポリイミド樹脂で形成してもよい。また、絶縁層 20 の厚さは必要に応じて自由に決めることができる。

【0043】絶縁層 20 には、複数の貫通穴 22 を形成する。貫通穴 22 は、半導体チップ 10 のそれぞれの電極 12 の少なくとも一部を露出させる。したがって、貫通穴 22 は電極 12 の上に形成し、電極 12 の総数に応じて形成してもよい。また、貫通穴 22 は、パッシベーション膜 14 うち電極 12 の端部に載った部分を露出させていてもよいし、パッシベーション膜 14 を全て覆っていてもよい。

【0044】貫通穴 22 は、その内側面にテーパを付して形成してもよい。例えば、貫通穴 22 の開口側において、内側面を、約 45° 以内の角度で傾斜させて形成してもよい。こうすることで、貫通穴 22 上に形成する配線層 30 の断線を防止できる。

【0045】あるいは、貫通穴 22 を、半導体チップ 10 に対して垂直な内側面で形成してもよい。その場合には、レーザ光などのエネルギー光を絶縁層 20 に照射して貫通穴 22 を形成することができる。

【0046】絶縁層 20 の表面には、複数の凹部 24 を形成する。凹部 24 は、例えば絶縁層 20 の厚みの約 $4/5$ 以内の深さで形成すれば、凹部 24 に加えられた応力を半導体チップ 10 の表面上で緩和することができる。また、凹部 24 は、その内側面にテーパを付して形成してもよい。例えば、凹部 24 の開口側において、内側面を、約 45° 以内の角度で傾斜させて形成してもよい。こうすることで、凹部 24 上に形成する配線層 30 の断線を防止できる。あるいは、凹部 24 を、半導体チップ 10 に対して垂直な内側面で形成してもよい。

【0047】貫通穴 22 及び凹部 24 は、電極 12 を覆って絶縁層 20 を形成し、フォトリソグラフィ技術を用いて形成してもよい。すなわち、マスクを介して感光性の絶縁層 20 にエネルギーを照射、現像して貫通穴 22 及び凹部 24 を形成してもよい。なお、貫通穴 22 と凹部 24 とで、深さが異なるので、2 回の工程でそれぞれを形成してもよい。このときに、絶縁層 20 はポジ型及びネガ型レジストであることを問わない。または、非感光性の絶縁層 20 をエッチングして貫通穴 22 及び凹部 24 を形成してもよい。

【0048】なお、絶縁層 20 の表面を荒らすことが好ましい。絶縁層 20 の表面を粗面とすることによって、絶縁層 20 が有機系の材料からなるものであっても容易に後述する無電解メッキを行うことができる。表面粗化は例えばプラズマを用いて物理的に行ってもよい。また、絶縁層 20 が溶解しやすい溶液中に、絶縁層 20 を浸漬することによって絶縁層 20 の表面を荒らしてもよい。例えば、アルカリ性の溶液を用いることもできる。その場合、電極 12 がアルミニウムなどの、アルカリ溶液に溶解しやすい材料で形成されている場合には、カバーレジストやニッケルなどの金属で電極 12 の表面を覆うことが好ましい。

【0049】図 1 (B) に示すように、レジスト 40 を、絶縁層 20 上の全面に形成する。そして、例えば、配線層 30 を形成するための領域上で光等のエネルギー 44 を遮断し、それ以外の領域でエネルギー 44 を通すマスク 42 を絶縁層 20 の上方に配置し、エネルギー 44 を照射し、その後現像することでレジスト 40 をパターンニングする。

【0050】上述の記載は、エネルギーが照射されると溶解性が減少するもの (ネガ型レジスト) をレジスト 40 として使用した例であるが、レジスト 40 は、エネルギー照射によって溶解性が増加するもの (ポジ型レジスト) であってもよい。後者の場合は、配線層 30 を形成したい領域上でエネルギー 44 を通し、それ以外の領域でエネルギー 44 を遮断するマスクを配置する。いずれにしても、レジスト 40 を、図 1 (C) に示すように、配線層 30 を形成する領域を避けるようにパターンニングする。ここで、配線層 30 を形成する領域は、複数の凹部 24 の内側面を通る領域であり、電極 12 の表面から貫通穴 22 の内側面を通る領域であり、凹部 24 上を避けた位置も含む。

【0051】図 2 (A) に示すように、触媒 50 を、レジスト 40 上と、絶縁層 20 の貫通穴 22 及び凹部 24 の内側面上と、電極 12 上とに形成する。本実施の形態では触媒 50 はパラジウムである。触媒 50 の形成方法として、例えば半導体チップ 10 をパラジウムとスズを含む混合溶液に浸し、その後、塩酸などの酸で処理することによってパラジウムのみを設けてもよい。

【0052】あるいは、半導体チップ 10 を塩化スズ溶液に浸すことによってスズイオン (還元剤) を吸着させ、その後、塩化パラジウム溶液に半導体チップ 10 を浸して、スズイオン (還元剤) によりパラジウムイオンを還元しパラジウム核 (触媒) を析出させてもよい。

【0053】あるいは、触媒 50 は、インクジェット方式によって、配線層 30 の形成する領域に直接的に設けてもよい。インクジェット方式によれば、インクジェットプリンタ用に応用化された技術を応用することで、高速かつインクを無駄なく経済的に設けることが可能である。インクジェットヘッドは、例えばインクジェットブ

リント用に実用化されたもので、圧電素子を用いたピエゾジェットタイプ、あるいはエネルギー発生素子として電気熱変換体を用いたバブルジェットタイプ等が使用可能であり、吐出面積および吐出パターンは任意に設定することが可能である。これによって、レジストパターンニング工程及びレジスト剥離工程を行うことなく、また全面に金属層を形成する場合はエッチング工程を行うことなく配線層 30 を形成することが可能になる。

【0054】次に、図 2 (B) に示すようにレジスト 40 を剥離する。レジスト 40 を剥離することによって、配線層 30 を形成したい領域のみに触媒 50 を設けることができる。レジスト 40 の剥離のときに、紫外線を照射してもよく、弱アルカリ性の溶液に浸してレジスト 40 を剥離してもよい。これによって容易かつ確実にレジスト 40 を剥離することができる。

【0055】図 3 (A) ~ 図 3 (D) は、図 1 (B) ~ 図 2 (B) に示す工程の詳細を説明する図である。本実施の形態では、レジスト 40 はネガ型レジストであり、エネルギー 44 が照射されて現像液に対する溶解性が減少する。

【0056】図 3 (A) に示すように、レジスト 40 の上方にマスク 42 を配置し、マスク 42 の上からレジスト 40 に向けてエネルギー 44 を照射すると、エネルギー 44 は、レジスト 40 に対して垂直のみならず、斜めにも入射する。垂直に入射するエネルギー 44 は、マスク 42 のパターン形状に対応してレジスト 40 を照射する。一方、斜めに入射するエネルギー 44 は、マスク 42 の遮蔽する部分と透過させる部分との境界から、斜めにレジスト 40 を照射する。

【0057】したがって、マスク 44 の遮蔽する部分と透過させる部分との境界の直下付近においては、マスク 42 の透過させる部分から遮蔽する部分の中央方向に進むにつれて、徐々にレジスト 40 に対するエネルギー 44 の照射が少なくなり、エネルギー 44 が照射される深さが徐々に浅くなる。

【0058】また、マスク 44 の遮蔽する部分と透過させる部分との境界の直下付近においては、マスク 42 の遮蔽する部分から透過させる部分の中央方向に進むにつれて、徐々にレジスト 40 に対するエネルギー 44 の照射が多くなり、エネルギー 44 が照射される深さが徐々に深くなる。

【0059】このように、斜めに入射するエネルギー 44 によって、エネルギー 44 の照射の深さが徐々に変化するので、レジスト 40 の、現像液によって溶解する部分と溶解しない部分との界面が斜めになる。しかも、本実施の形態では、レジスト 40 は、ネガ型レジストであるので、エネルギー 44 によって照射された部分は、現像液に対する溶解性が減少して現像を行っても溶解せずに残る。すなわち、レジスト 40 において、エネルギー 44 が浅く照射される領域では、下部（裏面側の部分）

が溶解され、上部（表面側の部分）が溶解されずに残る。

【0060】したがって、現像によって一部が溶解したレジスト 40 の端部は、図 3 (B) に示すように、下部よりも上部が外方向に突出しており、上端において外方向に傾いた端面によって逆テーパ 41 が形成される。

【0061】この逆テーパ 41 を形成するためには、ネガ型レジストとして光を通しにくい性質のものをを用いることが好ましい。詳しくは、黒色のネガ型レジストを用いることが好ましく、そのためにレジスト 40 に顔料を含ませたり、カーボン製のレジスト 40 を用いてもよい。なお、ネガ型レジストは一般的に現像後は焼成することが多いが、本実施の形態においてはレジスト 40 を後工程で剥離するので、未焼成である方が好ましい。

【0062】図 3 (C) 及び図 3 (D) に示すように、レジスト 40 上及び配線層 40 を形成したい領域に触媒 50 を設けて、その後にレジスト 40 を剥離する。ここで、レジスト 40 が逆テーパ 41 を有することによって触媒 50 のレジスト 40 に接する端部が順テーパ 51 を有するので、触媒 50 を絶縁層 20 上に残しつつ、レジスト 40 を容易に剥離することができる。すなわち、レジスト 40 の逆テーパ 41 によって形成された触媒 50 の順テーパ 51 は、上端よりも下端が外側に突出しているので、触媒 50 を剥離する方向への応力が加わりにくい。その結果、レジスト 40 の剥離のときに、触媒 50 の一部が絶縁層 20 から剥離されることを防止することができるので、後工程での無電解メッキを正確に行うことができる。

【0063】上述した例では、レジスト 40 をパターン化した後に触媒 50 を設け、その後にレジスト 40 を剥離することによって、触媒 50 を配線パターンの形成領域に露出させている。この例とは異なり、触媒 50 を全面に設けた後に、レジスト 40 を配線パターンの形成領域を除いてパターン化して設けることによって、結果的に配線パターンの形成領域に触媒 50 を露出させてもよい。この場合は、配線層 30 の形成を終えた後にレジスト 40 を剥離する。

【0064】次に、図 4 (A) に示すように、触媒 50 が露出する領域に、無電解メッキによって配線層 30 を形成する。なお、触媒 50 は、複数の凹部 24 の内側面に設けられており、貫通穴 22 の内側面と電極 12 の表面にも設けられており、凹部 24 を避けた位置にも設けられている。配線層 30 の材料として、Ni、Au、Ni + Au、Cu、Ni + Cu、Ni + Au + Cu のいずれかを用いることができる。

【0065】本実施の形態では、無電解メッキのために、弱アルカリ性の銅メッキ溶液を用いる。弱アルカリ性 (pH 9 付近) の銅メッキとして例えば、PB-570MU、PB-570A、PB-570B、PB-570C、PB-570S を混合してなる PB-570 (メ

一カー名：荏原ユージーライト株式会社）を用いてもよい。このような銅メッキ液を使用し、触媒 50 であるパラジウムを核として溶液中の銅イオンを還元し、銅（配線層 30）を析出する。なお、配線層 30 を形成するための導電材料として、複数の異種の金属（例えば $Ni + Cu$ 、 $Ni + Au + Cu$ ）を用いてもよく、これによって複数層で配線層 30 を形成してもよい。

【0066】本実施の形態によれば、配線層 30 を形成するための銅メッキ液は弱アルカリ性であるので、例えば電極 12 がアルミニウムであってもそれに与える損傷を少なくすることができる。したがって、電極 12 上に配線層 30 を直接形成することができる。

【0067】あるいは、電極 12 の表面に図示しない導電層を形成して電極 12 を保護すれば、強アルカリ性の溶液を使用してもよい。導電層は一層であっても複数層であってもよい。例えば、導電層を、ニッケルと金との二層で形成してもよい。導電層をニッケルで形成する方法として、図 1 (A) 工程より前に、もしくは図 1

(B) 工程よりも前に、電極 12 上にジンケート処理を施してアルミニウム上の表面を亜鉛に置換し、その後無電解ニッケルメッキ液中に浸漬し、亜鉛とニッケルの置換反応を経てニッケルを堆積してもよい。もしくは、アルミニウムを、アルミニウム上のみに選択的に吸着するパラジウム溶液に浸し、その後無電解ニッケルメッキ液中に浸し、パラジウムを核としてニッケルを析出させてもよい。導電層をニッケルのみで形成してもよいが、さらに無電解金メッキ液中に浸し、ニッケルの表面にさらに金を形成してもよい。金を形成することで配線層 30 との電氣的接続をさらに確実にすることができる。

【0068】上述した例は全て湿式法（めっき）を用いた配線層 30 の形成方法であるが、その他の形成方法として従来行われている乾式法（スパッタなど）を用いた方法、または乾式法と湿式法を組み合わせた方法を採用してもよい。

【0069】以上の工程により、図 4 (A) に示すように、配線層 30 を形成することができる。配線層 30 は、電極 12 に電氣的に接続され、複数の凹部 24 上を通る。また、導電層 30 は、凹部 24 を避けた位置に配置される接続部 32 を有する。接続部 32 は、外部との電氣的な接続に使用される部分である。接続部 32 に外部端子を形成しなければ、ランドグリッドアレイ型の半導体装置が得られる。この場合、マザーボード実装時にマザーボード側に塗布されるハンダクリームを利用し、その溶融時の表面張力で結果的に外部端子を形成してもよい。

【0070】あるいは、図 4 (B) に示すように、接続部 32 に外部端子 60 を設けてもよい。外部端子 60 は、ハンダボールであってもよい。また、配線層 30 を覆う保護層 70 を形成してもよい。例えば、配線層 30 上にソルダレジストを塗布し、接続部 32 上の部分をフ

ォトリソグラフィやレーザーにより露出させる。その露出部分に、ハンダなどを印刷してリフロー工程を経て外部端子 60 を形成してもよい。また、ソルダレジストをそのまま残して保護層 70 としてもよい。外部端子 60 はハンダのほか銅などによって形成してもよい。

【0071】以上の工程によって、図 4 (B) に示す半導体装置が得られる。図 5 は、半導体装置の平面図である。

【0072】半導体装置は、複数の電極 12 を有する半導体チップ 10 と、複数の凹部 24 が形成された絶縁層 20 と、凹部 24 上を通して絶縁層 20 上に形成された配線層 30 と、を含む。その他の構成は、製造方法の説明で述べた通りである。図 5 において、半導体チップ 10 の電極 12 から、能動面の中央方向に配線層 30 が形成され、配線層 30 に外部端子 60 が設けられている。

【0073】外部端子 60 は半導体チップ 10 の電極 12 上ではなく半導体チップ 10 の能動領域（能動素子が形成されている領域）に設けられている。絶縁層 20 を能動領域に設け、更に配線層 30 を能動領域内に配設する（引き込む）ことで、外部端子 60 を能動領域内に設けることができる。すなわち、ピッチ変換をすることができる。従って外部端子 60 を配置する際に能動領域内、すなわち一定の面としての領域が提供できることになり、外部端子 60 の設定位置の自由度が非常に増すことになる。

【0074】そして、配線層 30 を、平面的に屈曲させることにより、外部端子 60 は格子状に並ぶように設けられている。なお、これは、本発明の必須の構成ではないので、外部端子 60 は必ずしも格子状に並ぶように設けなくても良い。

【0075】また、電極 12 の幅と配線層 30 の幅とを、

電極 12 \leq 配線層 30

とすることが好ましい。特に、

電極 12 $<$ 配線層 30

となる場合には、配線層 30 の抵抗値が小さくなるばかりか、強度が増すので断線が防止される。

【0076】この半導体装置によれば、配線層 30 が複数の凹部 24 上を通るので、横方向の応力が緩和される。そして、配線層 30 と電極 12 との接続部に応力が伝わりにくくなり、接続信頼性が向上する。

【0077】図 6 には、上述した工程が行われた半導体ウエーハ 80 を示す図である。半導体ウエーハ 80 には、複数の半導体素子（切断後に上述した半導体チップ 10 となる）又は電子素子が形成されている。この半導体ウエーハ 80 には、半導体チップ 10 を半導体ウエーハ 80 に置き換えたことを除いて、上述した内容が当てはまる。この半導体ウエーハ 80 を、その後ダイシングすることで、個々の半導体装置又は電子部品が得られる。この内容は、以下の実施の形態でも適用できる。

【0078】(第2の実施の形態)図7は、本発明を適用した第2の実施の形態に係る半導体装置を示す図である。本実施の形態では、第1の実施の形態で説明した半導体チップ10が使用される。

【0079】半導体チップ10の電極12が形成された面には、絶縁層110と、その下に位置する第2の絶縁層120と、が積層されている。なお、第2の絶縁層120を複数層で形成してもよい。

【0080】絶縁層110は、第1の実施の形態で説明した絶縁層20の内容が該当する。すなわち、絶縁層110の表面には配線層30が設けられ、接続部32に外部端子60を設けることができる。さらに、配線層30を覆う保護膜70を設けてもよい。絶縁層110には、複数の凹部114が形成されており、凹部114上を配線層30が通ること、応力を緩和することができる。凹部114の構成及び形成方法は、第1の実施の形態で凹部24について説明した内容を適用できる。

【0081】また、絶縁層110には、貫通穴112が形成されている。貫通穴112は、次に説明する第2の絶縁層120上に形成された第2の配線層130を露出させている。

【0082】第2の絶縁層120には、各電極12を露出させる貫通穴122と、複数の凹部124が形成されている。そして、電極12から凹部124を通して、第2の配線層130が形成されている。なお、第2の絶縁層120、貫通穴122、凹部124及び第2の配線層130については、第1の実施の形態で説明した絶縁層20、貫通穴22、凹部24及び配線層30の内容を適用してもよい。例えば、第2の絶縁層120は、応力緩和機能を有する材料で形成してもよい。

【0083】絶縁層110上に形成された配線層30は、貫通穴112を介して、第2の配線層130に電気的に接続されている。したがって、配線層30は、電極12に電気的に接続されている。

【0084】本実施の形態によれば、第1の実施の形態で説明した効果に加えて、絶縁層110及び第2の絶縁層120からなる複数層の絶縁層を含むことから一層高い応力緩和機能を発揮する。

【0085】なお、絶縁層110及び第2の絶縁層120は、特性が異なるようにしてもよい。例えば、外部端子60に近い絶縁層110の熱膨張係数を、半導体チップ10に近い第2の絶縁層120の熱膨張係数よりも大きくしてもよい。こうすることで、半導体チップ10に近い第2の絶縁層120は、半導体チップの熱膨張係数に近づき、回路基板(マザーボード)に近い絶縁層110は、回路基板の熱膨張係数に近づくので、応力を効果的に吸収することができる。このことは、第2の絶縁層120を複数層で形成した場合に、各層に適用してもよい。

【0086】本実施の形態に係る半導体装置の製造方法

にも、第1の実施の形態で説明した内容を適用することができる。詳しくは、半導体チップ10の電極12が形成された面に、第2の絶縁層120及び第2の配線層130を形成する工程には、第1の実施の形態で説明した絶縁層20及び配線層30を形成する方法を適用することができる。また、絶縁層110及び配線層30を形成する工程にも、第1の実施の形態で説明した絶縁層20及び配線層30を形成する方法を適用することができる。

【0087】本実施の形態でも、図6に示すように、半導体ウエーハ上に上述した工程を行うことができる。詳しくは、第1の実施の形態で説明した通りである。

【0088】図8には、本実施の形態に係る半導体装置1を実装した回路基板1000が示されている。回路基板1000には例えばガラスエポキシ基板等の有機系基板を用いることが一般的である。回路基板1000には例えば銅などからなる配線パターンが所望の回路となるように形成されていて、それらの配線パターンと半導体装置1の外部端子70とを機械的に接続することでそれらの電気的導通を図る。

【0089】そして、本発明を適用した半導体装置1を有する電子機器として、図9にはノート型パーソナルコンピュータ2000、図10には携帯電話3000が示されている。

【0090】なお、上述した実施の形態の「半導体チップ」を「電子素子」に置き換えて、電子部品を製造することもできる。このような電子素子を使用して製造される電子部品として、例えば、光素子、抵抗器、コンデンサ、コイル、発振器、フィルタ、温度センサ、サーミスタ、バリスタ、ポリウム又はヒューズなどがある。

【図面の簡単な説明】

【図1】図1(A)～図1(C)は、本発明を適用した第1の実施の形態に係る半導体装置の製造方法を示す図である。

【図2】図2(A)及び図2(B)は、本発明を適用した第1の実施の形態に係る半導体装置の製造方法を示す図である。

【図3】図3(A)～図3(D)は、本発明を適用した第1の実施の形態に係る半導体装置の製造方法を示す図である。

【図4】図4(A)及び図4(B)は、本発明を適用した第1の実施の形態に係る半導体装置の製造方法を示す図である。

【図5】図5は、第1の実施の形態に係る半導体装置の平面図である。

【図6】図6は、第1の実施の形態に係る他の半導体装置の平面図である。

【図7】図7は、本発明を適用した第2の実施の形態に係る半導体装置を示す図である。

【図8】図8は、本実施の形態に係る半導体装置が実装

された回路基板を示す図である。

【図 9】図 9 は、本実施の形態に係る半導体装置を有する電子機器を示す図である。

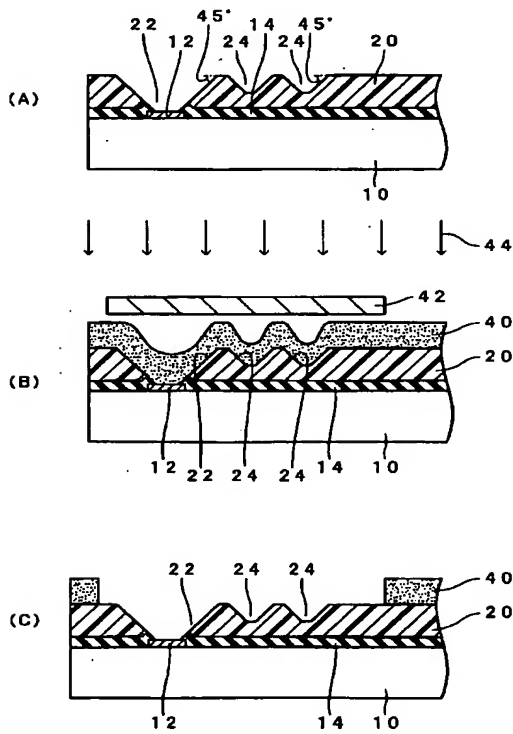
【図 10】図 10 は、本実施の形態に係る半導体装置を有する電子機器を示す図である。

【符号の説明】

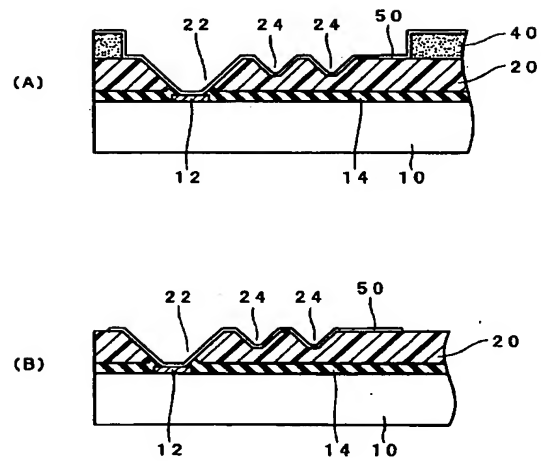
- 10 半導体チップ
- 12 電極
- 20 絶縁層
- 22 貫通穴
- 24 凹部

- 30 配線層
- 32 接続部
- 60 外部端子
- 80 半導体ウェーハ
- 110 絶縁層
- 112 貫通穴
- 114 凹部
- 120 第 2 の絶縁層
- 122 貫通穴
- 124 凹部
- 130 第 2 配線層

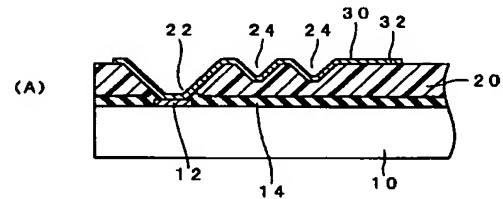
【図 1】



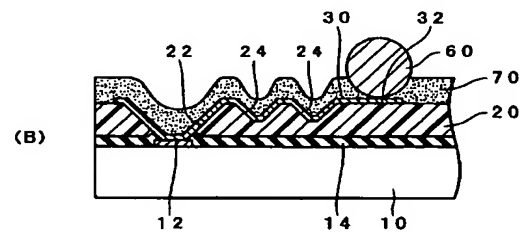
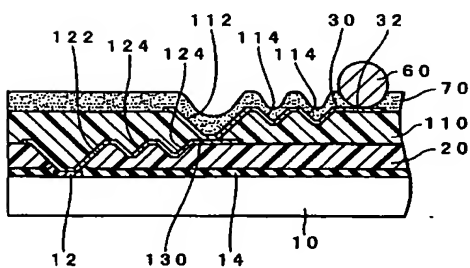
【図 2】



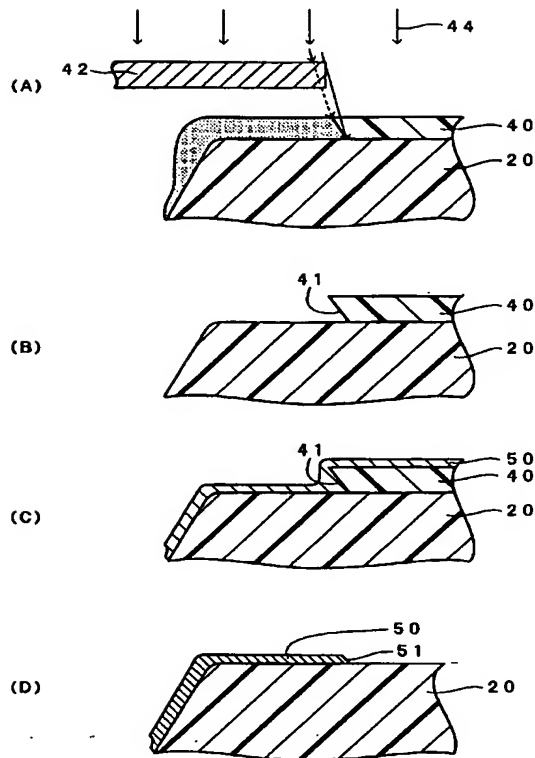
【図 4】



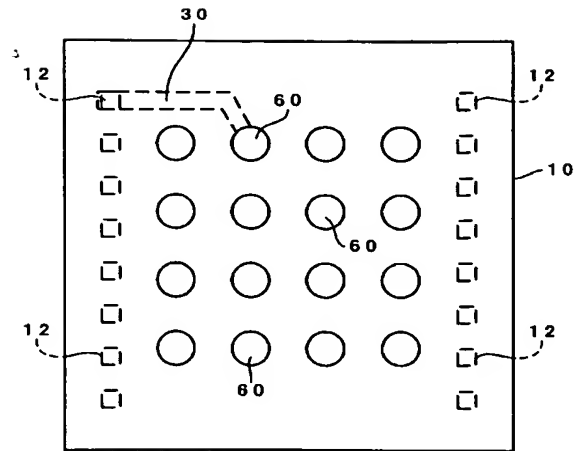
【図 7】



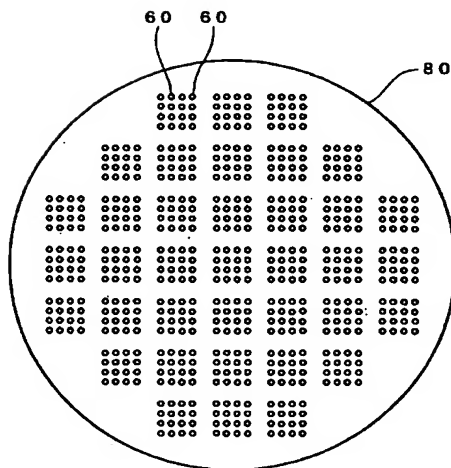
【図 3】



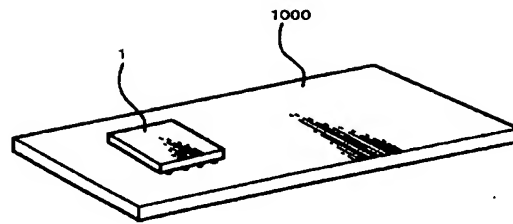
【図 5】



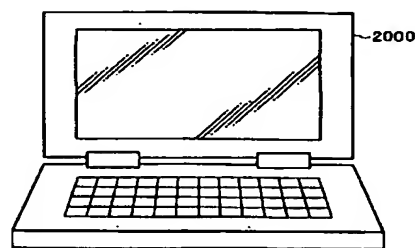
【図 6】



【図 8】



【図 9】



【図 10】

